

## PATENT ABSTRACTS OF JAPAN

N

(11)Publication number : 58-153372

(43)Date of publication of application : 12.09.1983

(51)Int.Cl.

H01L 29/78  
G11C 11/40

(21)Application number : 57-035685

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 05.03.1982

(72)Inventor : RAI YASUKI

KITAMURA YUJI

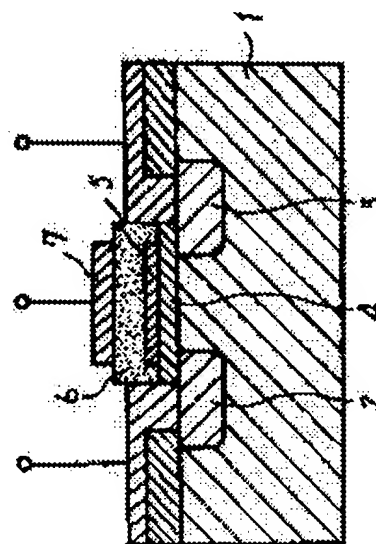
NAKAMU ICHIRO

## (54) MANUFACTURE OF SEMICONDUCTOR NON-VOLATILE MEMORY

## (57)Abstract:

PURPOSE: To enable to erase informations at a low voltage when a first insulating film, a floating gate, a second insulating film and a control gate are to be provided on a semiconductor substrate to form the non-volatile memory by a method wherein the floating gate to be adhered on the first insulating film is formed of a high melting point metal, and a heat treatment is performed to convert the surface into an oxide.

CONSTITUTION: A source region 2 and a drain region 3 are formed by diffusion on the semiconductor substrate 1, the gate oxide film 4 whose edge parts are extended on the respective regions is provided between them, and the floating gate 5 consisting of Mo being smaller size than the film 4 is adhered thereon. Then the heat treatment is performed in an oxidizing atmosphere to convert the surface layer of the gate 5 into MoO, MoO<sub>2</sub>, etc., the exposed surface thereof is surrounded with the Si<sub>3</sub>N<sub>4</sub> film 6, and the control gate 7 is fixed thereon. After then, an insulating film is adhered on the part other than the part mentioned above, windows are opened, and electrodes are adhered on the regions 2, 3. Accordingly the necessary voltage for erasing can be reduced, stress to be applied to the film 4 is also reduced, and the number of times of write/erase can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—153372

⑮ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
G 11 C 11/40

識別記号  
1 0 1

庁内整理番号  
7514—5F  
6549—5B

⑯ 公開 昭和58年(1983)9月12日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体不揮発性メモリの製造方法

守口市京阪本通2丁目18番地三  
洋電機株式会社内

⑰ 特 願 昭57—35685

⑰ 発 明 者 中務一郎

⑱ 出 願 昭57(1982)3月5日

守口市京阪本通2丁目18番地三  
洋電機株式会社内

⑲ 発 明 者 頼泰樹

守口市京阪本通2丁目18番地三  
洋電機株式会社内

⑳ 出 願 人 三洋電機株式会社

守口市京阪本通2丁目18番地

㉑ 発 明 者 北村裕二

㉒ 代 理 人 弁理士 佐野静夫

明 細 書

1. 発明の名称

半導体不揮発性メモリの製造方法

2. 特許請求の範囲

1) 半導体基板—第1の絶縁膜—フローティングゲート—第2の絶縁膜—制御ゲート、の構成から成るフローティングゲート型の半導体不揮発性メモリの製造方法に於て、高融点金属材料から成るフローティングゲートを第1の絶縁膜上に被着した後、酸化雰囲気中で熱処理する事に依つてフローティングゲートの表面に高融点金属の酸化物を形成し、然る後、第2の絶縁膜を設ける事を特徴とした不揮発性メモリの製造方法。

3. 発明の詳細な説明

本発明は、半導体基板—第1の絶縁膜—フローティングゲート—第2の絶縁膜—制御ゲート、の構成を有するフローティングゲート型の半導体不揮発性メモリの製造方法に関する。

フローティングゲート型の半導体不揮発性メモリに於けるフローティングゲートとしては現在多

結晶シリコンが多用されており、その他に白金、モリブデン、チタン、タングステン等の高融点金属 (Refractory Metal) が用いられている。

斯る構成の不揮発性メモリに対する情報の書き込みは、ドレインに25V程度の逆バイアス電圧を印加する事に依りドレインと基板との間のPN接合でアバランシエ破壊を発生せしめ、その時生じたホットエレクトロンをフローティングゲートに蓄積する事に依り行い。一方斯様にして書き込まれた情報を消去するには二種類の方法があり、その一方は上記した書き込みとは逆にフローティングゲートにホールを注入する事に依り行いのもので、他方は制御ゲートに-25V前後の電圧を印加し、その電位によりフローティングゲート中の電子を追い出すものである。ところが後者の方法に依るとフローティングゲート中の電子を制御ゲートへの印加電圧に依り無理に追い出すのでフローティングゲート下の第1の絶縁層に大きなストレスが掛り、書き込み/消去回数を多くする事は出来ない。

BEST AVAILABLE COPY

本発明はこのような欠点に鑑みて為されたものであつて、フローティングゲートに簡単な処理を施す事に依つて低電圧で情報の消去を可能としたものである。

第1図は本発明に係るフローティングゲート型の不揮発性メモリの構成を示しており、同図に於て、(1)は一導電型半導体基板、例えばN型のシリコン基板、(2)(3)はこのN型基板(1)に設けられたP型のソース、ドレイン、(4)はこのソース、ドレイン(2)(3)間のチャンネル部分に被着された第1の絶縁膜で、例えば200Å程度の膜厚を有する酸化シリコン膜、(5)はこの酸化膜(4)上に形成されたフローティングゲートで、上記した如き高融点金属が用いられる。(6)はこのフローティングゲート表面を覆う如く設けられた第2の絶縁膜で、約850Å厚の窒化シリコン膜にて構成されている。(7)はこの窒化膜(6)上に形成された制御ゲートである。

第2図はドレイン(3)に印加する書き込み電圧( $V_w$ )とメモリ素子の閾値電圧( $V_{th}$ )との関係、並びに制御ゲート(7)に印加する消去電圧( $V_E$ )とメモリ

素子の閾値電圧( $V_{th}$ )との関係を示しており、書き込み、消去、両電圧( $V_w$ )( $V_E$ )が等しい場合の例示である。

閾値電圧が(-7V)のメモリ素子のドレイン(3)に書き込み電圧( $V_w$ )=-29Vを印加すると、その閾値電圧( $V_{th}$ )は直線(A)並びに(B)の軌跡を経て(+9V)になり、情報の書き込みが行われる。尚、閾値電圧( $V_{th}$ )が負から正に変化する臨界点は(-17V)である。

このように情報が書き込まれて閾値電圧( $V_{th}$ )が(+9V)にあるメモリ素子の制御ゲート(7)に消去電圧( $V_E$ )=-29Vを印加すると、その閾値電圧( $V_{th}$ )は直線(C)(D)を経て(-7V)になり、消去される。尚、この消去時の臨界点は(-19V)であつた。

次に本発明の詳細を説明する。ソース、ドレイン(2)(3)を形成した基板(1)表面に約200Åの酸化膜(4)を形成し、該酸化膜(4)上にモリブデンを1500Å程度の厚みにCVDするところまでは従来通りの工程である。この状態でメモリ素子を大気中で420℃のホットプレート(AMB1000)上に置く熱処理

を施す事に依つて、モリブデンから成るフローティングゲート(5)表面にモリブデンの酸化膜( $M_2O_3$ 、 $M_2O_5$ )が形成される。

引き続き酸化膜(6)を850Åの厚みに形成し、その酸化膜(6)上に制御ゲート(7)を設けるところは従来工程と同じである。

このようにモリブデンから成るフローティングゲート(5)に対して熱処理を施すと消去時に制御ゲート(7)に印加する必要消去電圧( $V_E$ )が低電圧側に变化する。そしてその変化状態は所定熱処理時間に大きく依存している。第3図に熱処理時間と、消去時の臨界点との関係曲線を示しており、熱処理をしない場合の臨界点が-19Vであつたものが1分30秒間の処理の結果、-14Vに下がっている事がわかる。1分30秒間以上処理を継続すると再び臨界点は上昇している。尚、この第3図に参考までにこのような熱処理の結果、書き込み時の臨界点の変化を破線で示したが、殆ど変化していない事が理解されるであろう。

このように1分30秒間の熱処理を施したメモ

リ素子の消去時の閾値電圧の変化を第2図の破線(四)で示している。この破線(四)から明らかな如く、臨界点は-14Vに下つており、また-17Vを印加するだけで、熱処理を施していない現存メモリ素子に於て-29Vを印加して消去したと同様の消去処理が行える。

従つて消去時に制御ゲートに印加する必要のある消去電圧が低いもので良いため酸化膜(4)に発生するストレスはその消去電圧に応じて少くなり、書き込み/消去回数の制限を実質的に解除する事が出来る。

モリブデンから成るフローティングゲートにこのような熱処理を施す事に依つて消去電圧を低下せしめる事の出来る理由は不明であるが、発明者等は電子のエミッジョン効果が酸化モリブデンに依り助長されるのではないかと考えている。

本発明は以上の説明から明らかな如く、高融点金属材料から成るフローティングゲートに酸化雰囲気中で熱処理を施す事に依つてフローティングゲートの表面に高融点金属の酸化物を形成してい

るので、消去時に必要とする電圧を低減せしめる事が出来、第1の絶縁膜に掛るストレスを減少せしめ得、書き込み／消去回数を増やす事が出来る。

#### 4. 図面の簡単な説明

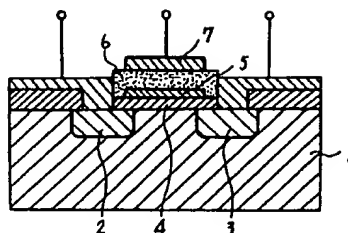
第1図はフローティングゲート型不揮発性メモリの断面図、第2図は書き込み、消去時の関係線図、第3図は熱処理時間と書き込み、消去電圧との関係曲線図であつて、(1)は基板、(2)(3)はソース、ドレイン、(4)(6)は絶縁膜、(5)はフローティングゲート、(7)は制御ゲート、を夫々示している。

出願人 三洋電機株式会社

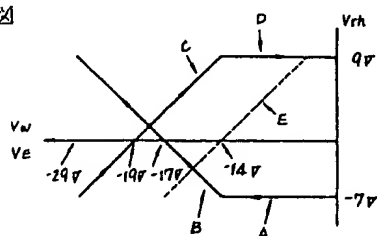
代理人 弁理士 佐野 静 夫



第1図



第2図



第3図

